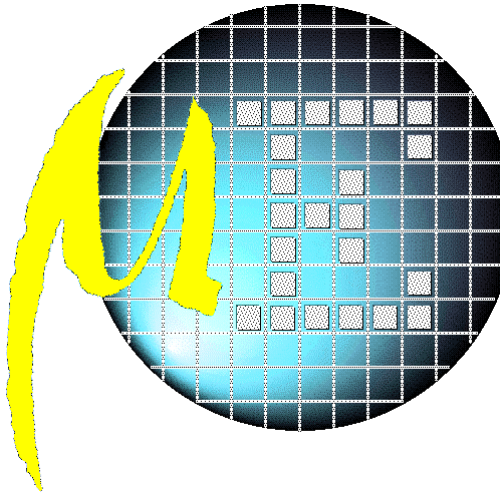


Circuiterie des portes CMOS complémentaires



DEA MICROÉLECTRONIQUE

Alain GUYOT

TIMA



☎ (33) 04 76 57 46 16

💻 Alain.Guyot@imag.fr

<http://tima-cmp.imag.fr/~guyot>

Techniques de l'Informatique et de la Microélectronique
pour l'Architecture. Unité associée au C.N.R.S. n° B0706

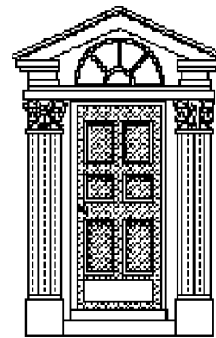
But

Passer d'une porte logique
(ou d'un ensemble de portes) au dessin

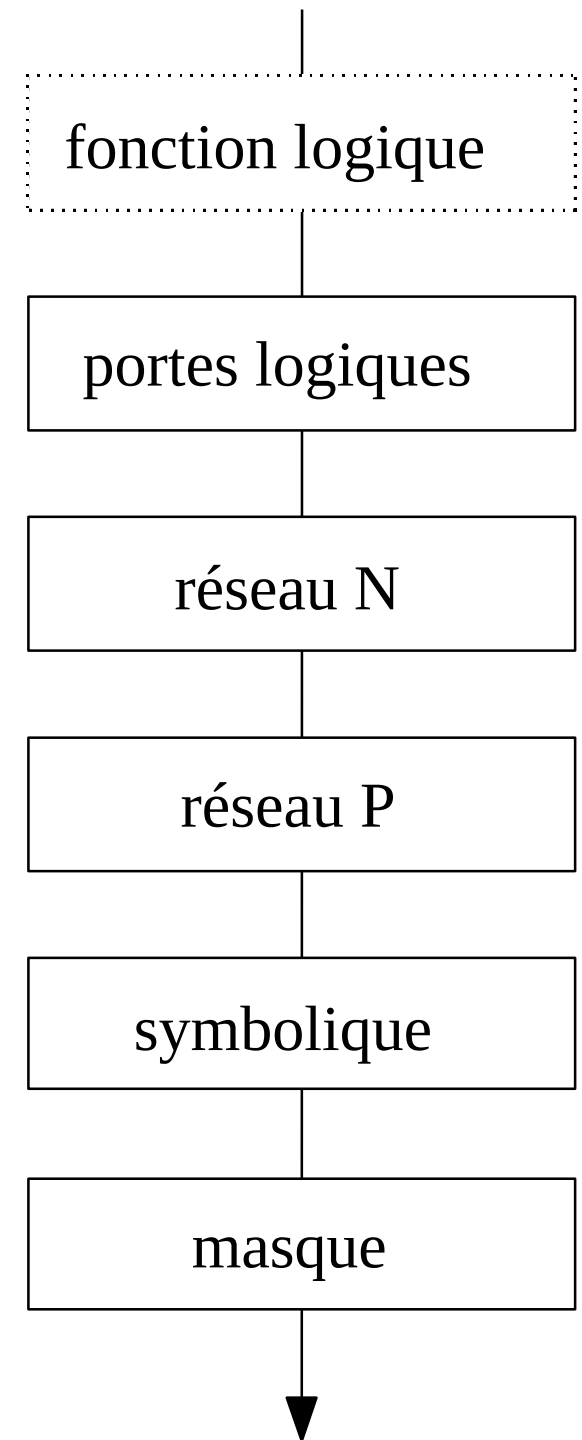
Optimiser la surface en minimisant

- le nombre de transistors
- le nombre de vias et de contacts
- le nombre d'arêtes de polygone

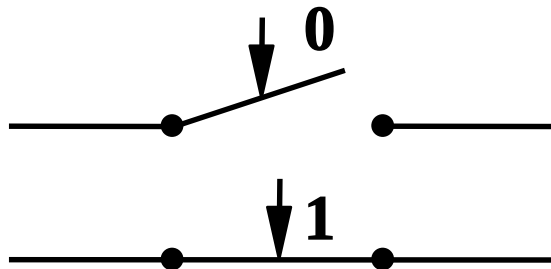
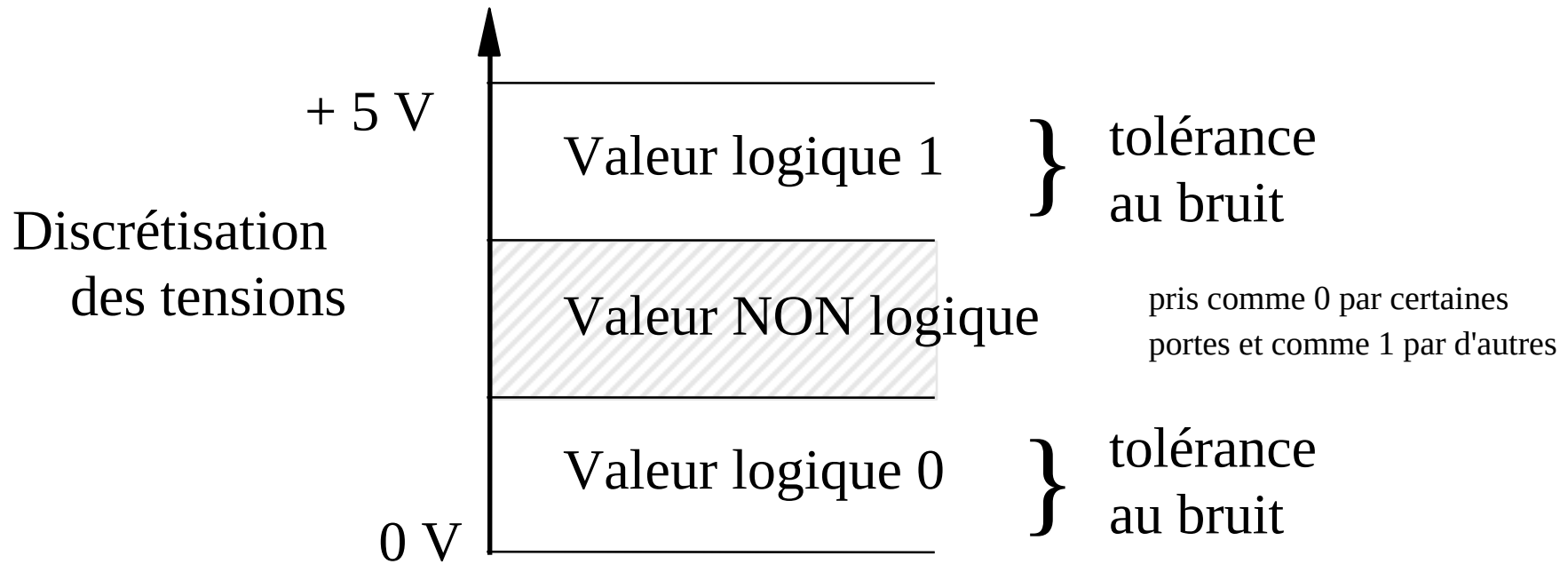
Minimiser le temps de conception



porte logique
classique



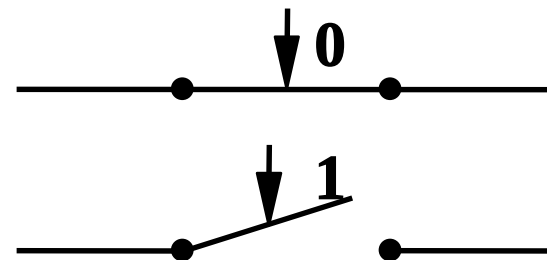
Abstraction logique



Transistor N

Bloqué si grille = 0

Passant si grille = 1

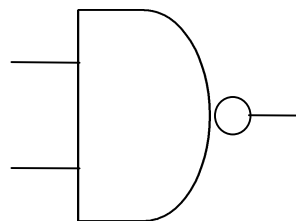
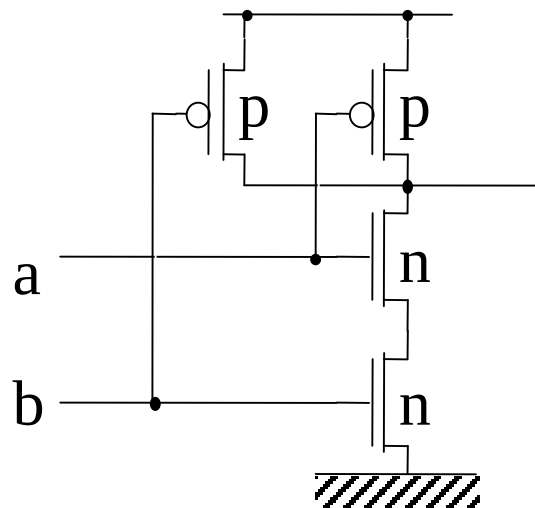
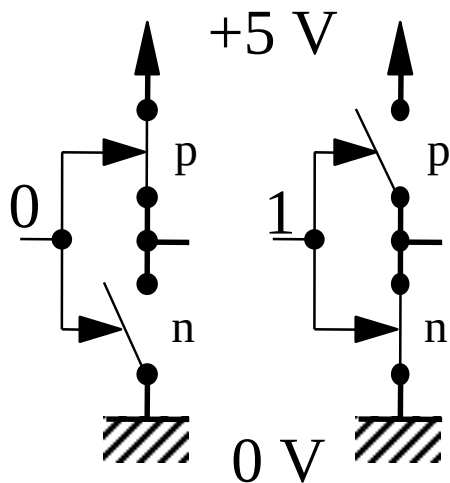
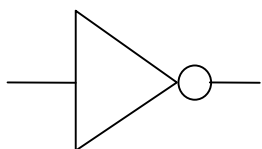
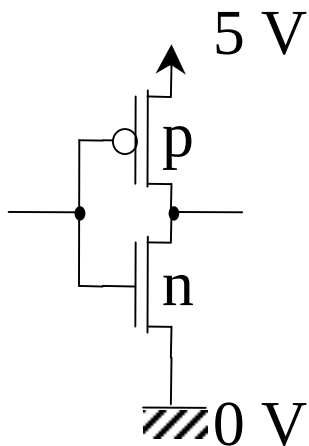


Transistor P

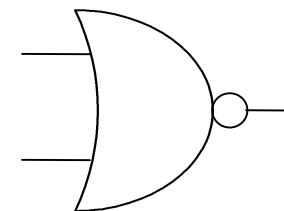
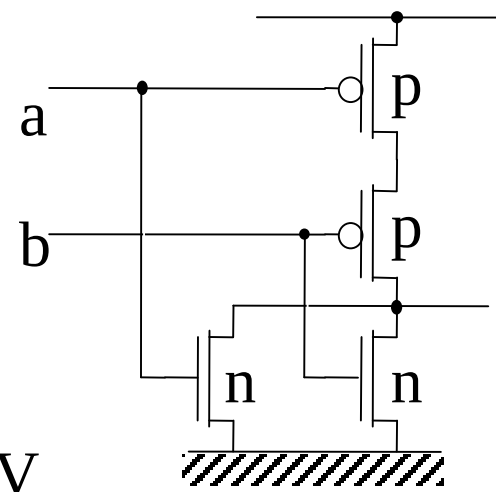
Passant si grille = 0

Bloqué si grille = 1

Portes élémentaires en CMOS

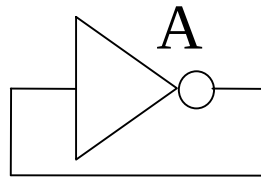


	0	1
0	1	1
1	1	0

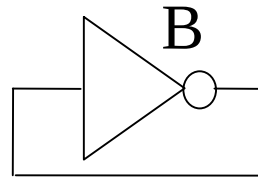


	0	1
0	1	0
1	0	0

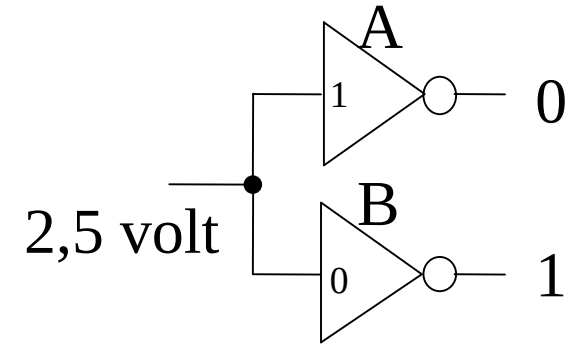
Discrétisation du temps



2,4 volt



2,6 volt



portes de seuils logiques différents

fonctionnement non logique

dispersion technologique $\Rightarrow$ dispersion des seuils logiques
dispersion technologique + bruits $\Rightarrow$ tension sans image logique
passage par tension non logique $\Rightarrow$ incohérence circuit/fonction
incohérence + délai des portes $\Rightarrow$ incohérence temporaire
incohérence temporaire $\Rightarrow$ discrétisation du temps
discrétisation du temps $\Rightarrow$ horloge (synchrone ou autosynchrone)

Comparaison logique/analogique

Analogique

Précision limitée (techno)

Valeur approchée ($\pm 5\%$)

Logique infidèle

Compensations nécessaires

Valeurs continues

Temps continu

Silencieuse et sensible

Exemple: multiplieur de Gilbert
(Mos en faible inversion) 14t

Logique

Précision arbitraire (# bits)

Valeur exacte

fidélité absolue (pas de dérive)

pas de compensation

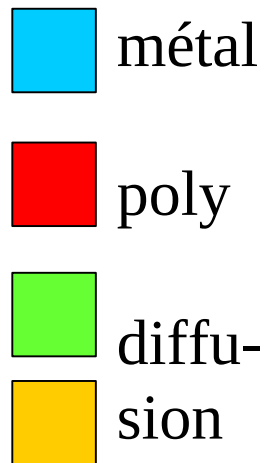
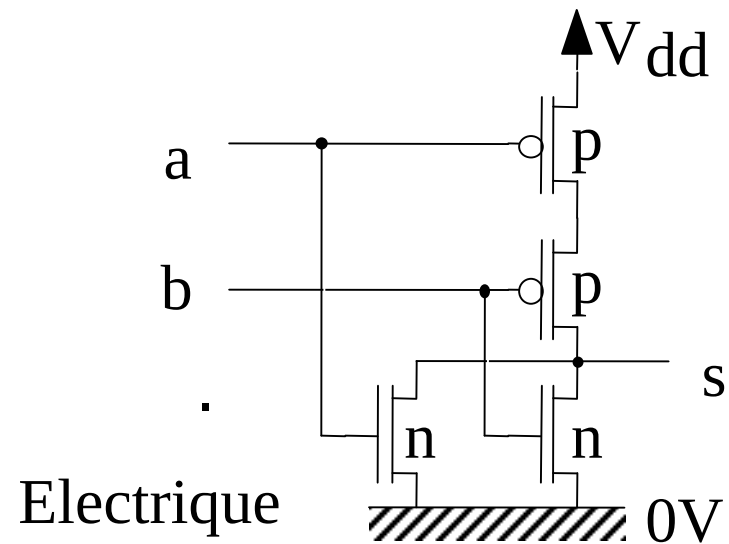
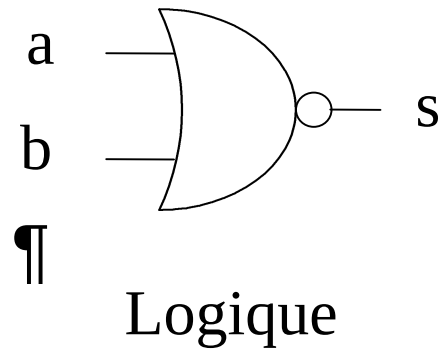
valeurs discrètes (bruit de quantification)

Temps discret (bruit d'échantillonnage)

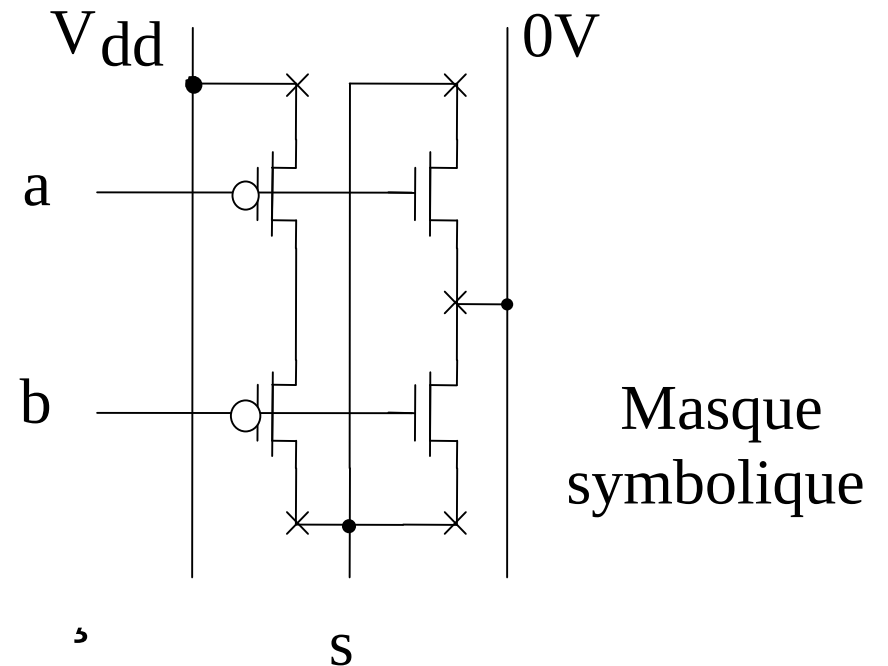
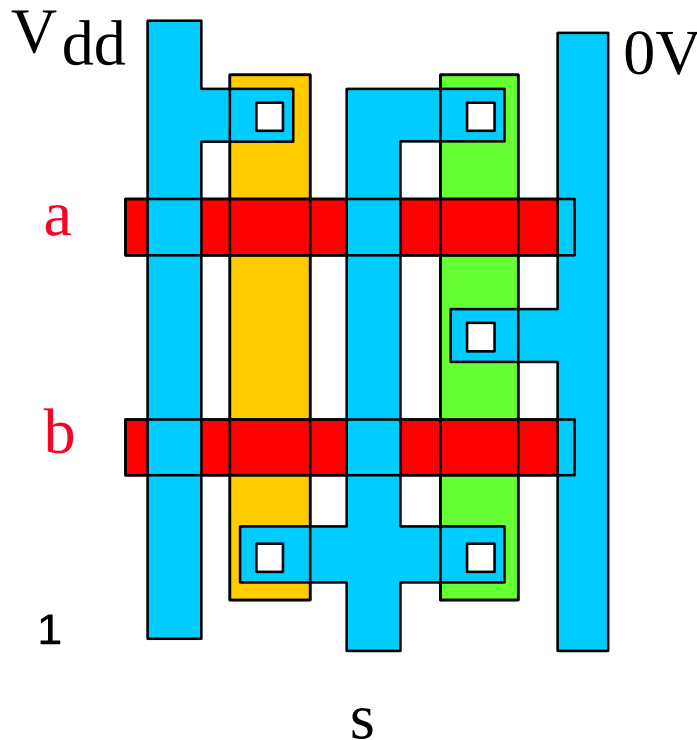
Bruyante et insensible

Exemple: multiplieur 5x5 bits
550 transistors MOS bloqués/saturés

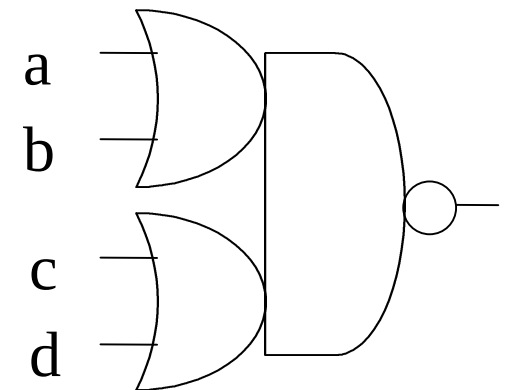
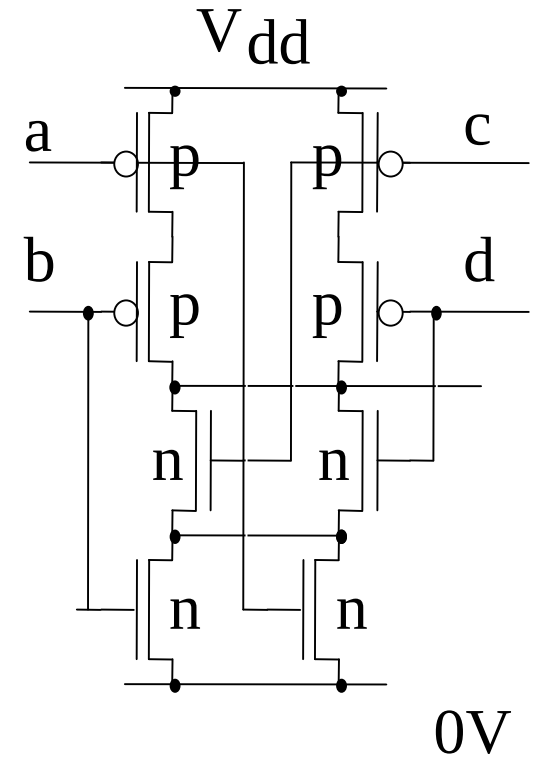
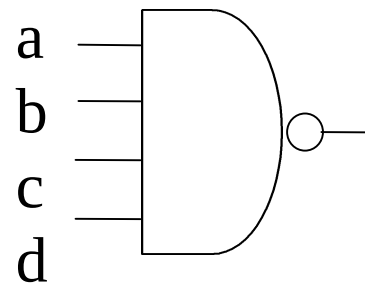
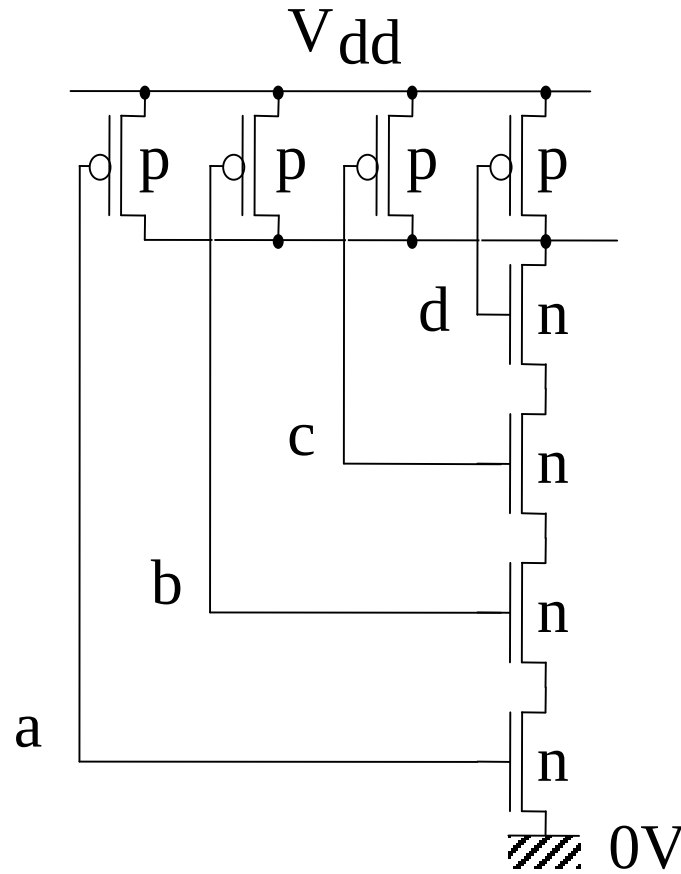
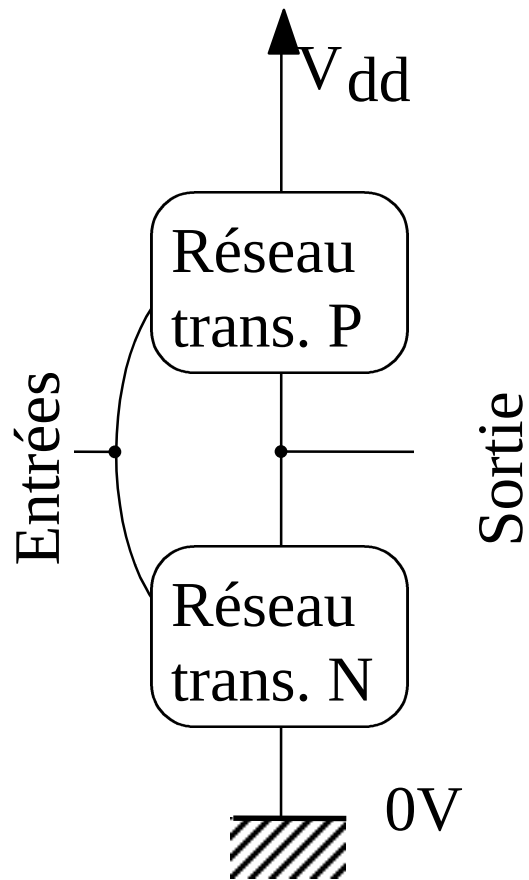
4 vues d'une fonction logique



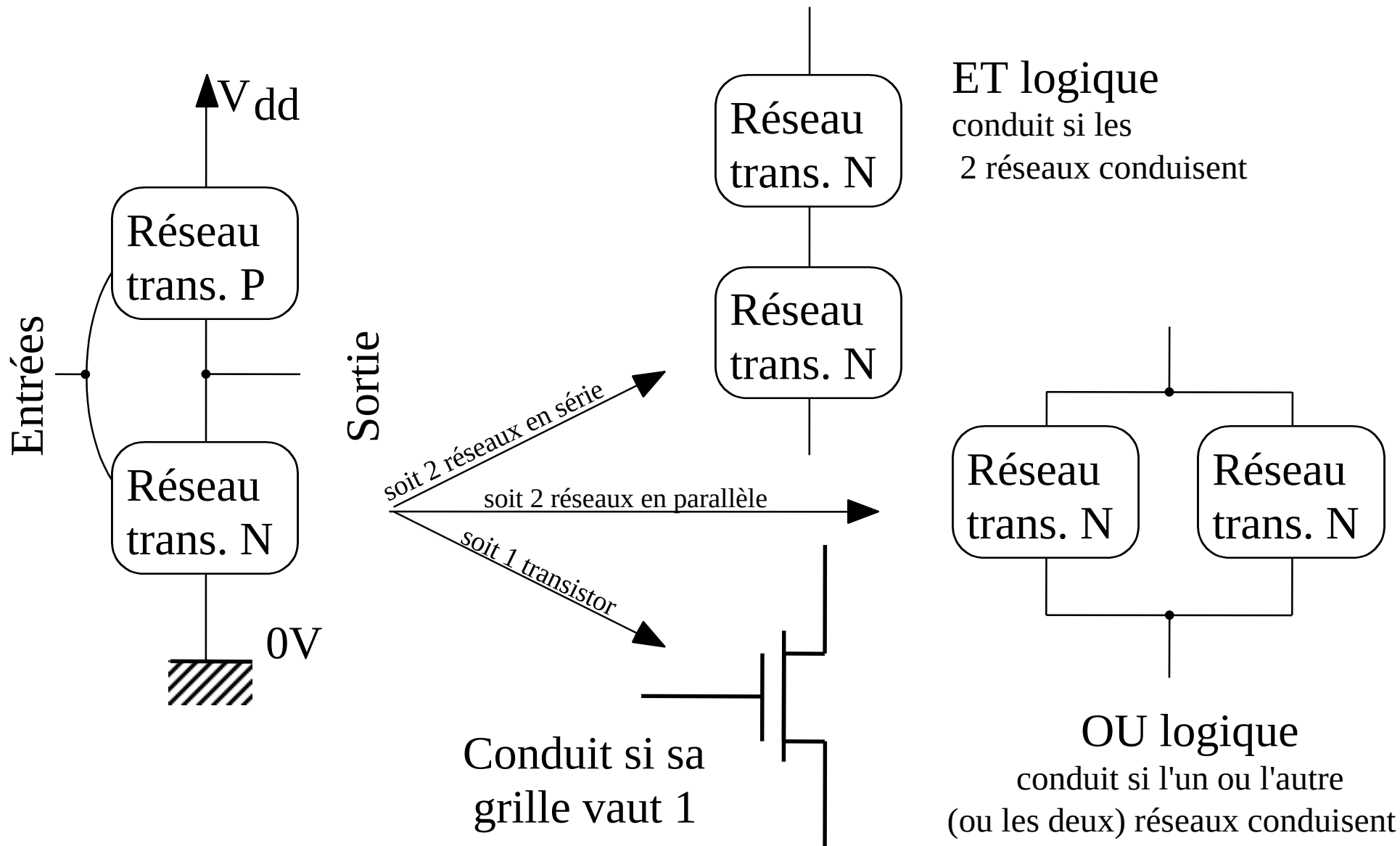
Masque
métré



Portes logiques un peu plus complexes

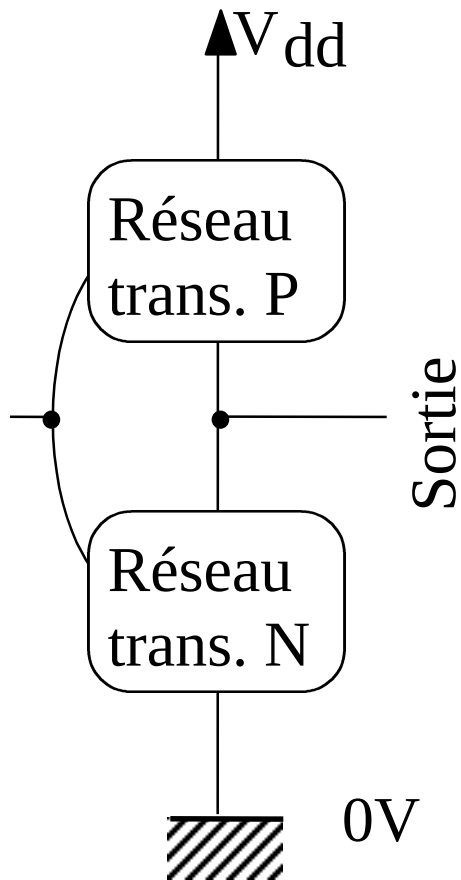


Réseau de transistors



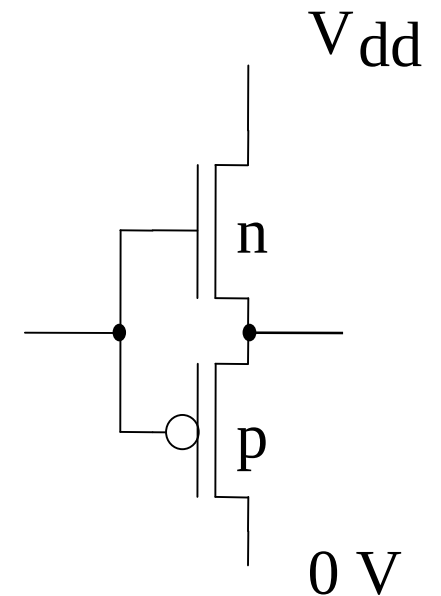
Conception des portes complexes (1)

Equation logique $\Rightarrow$ schéma électrique



Les transistors P sont utilisés pour tirer à 1 et les transistors N pour tirer à 0. Il n'y a pas de perte de seuil

En conséquence les fonctions réalisables sont des fonctions **DECROISSANTES** des entrées.

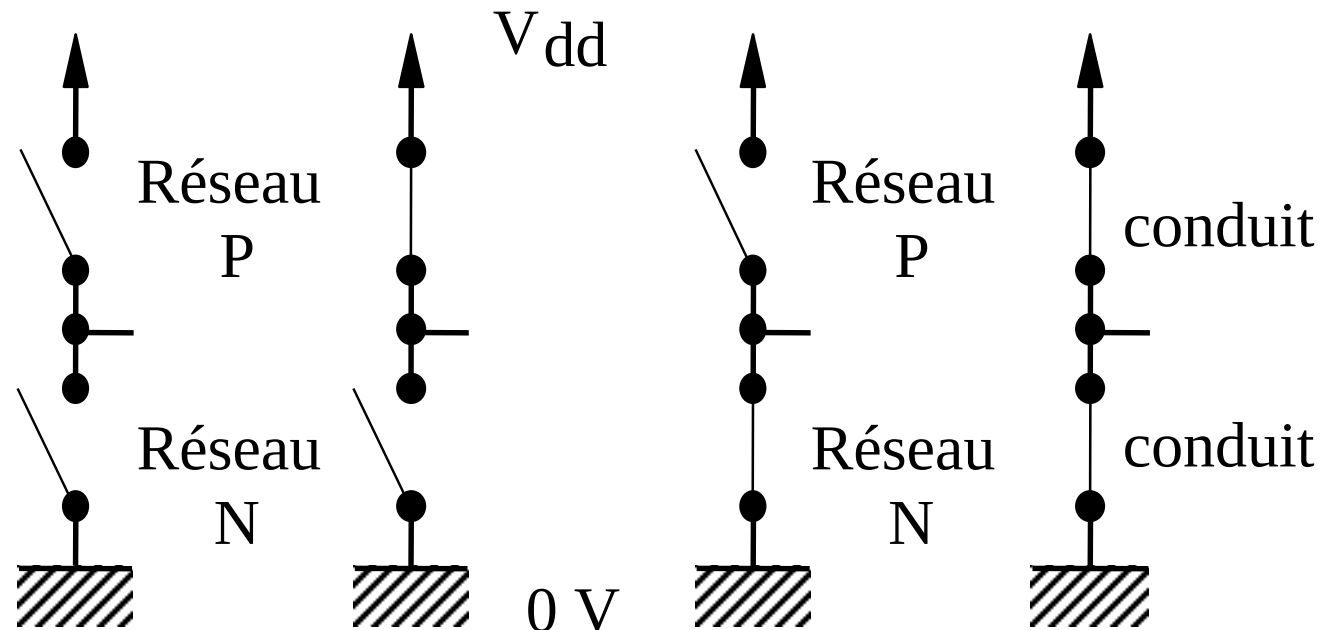
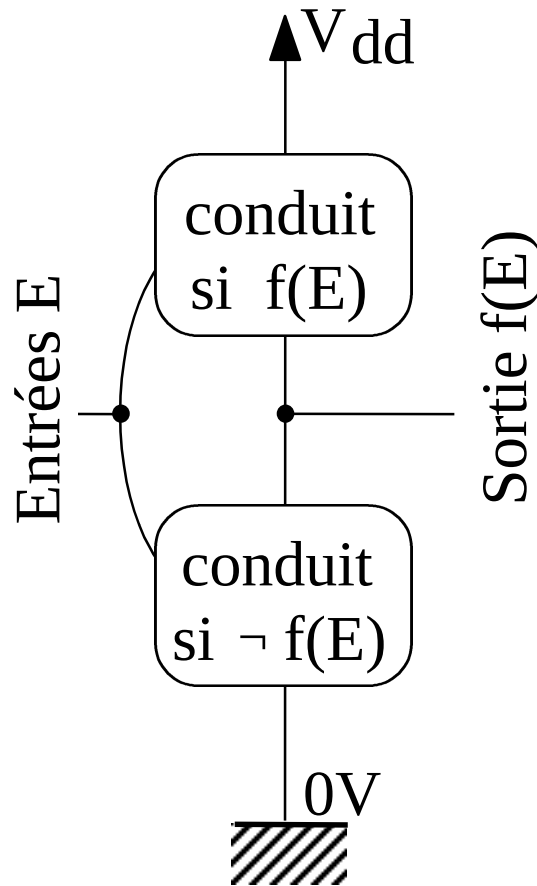


Fonction identité
qui ne marche pas

Conception des portes complexes (2)

Un et un seul des deux réseaux N et P conduit à chaque instant. Ces réseaux sont logiquement complémentaires.

Comme l'un est en transistor P et l'autre en transistor N, les réseaux N et P sont duaux. Les deux réseaux ont les mêmes entrées et le même nombre de transistors.



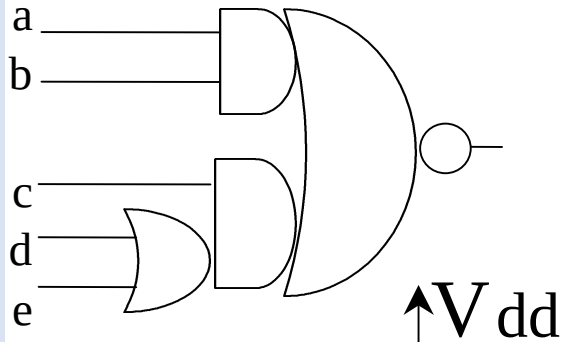
haute impédance

correctes

court circuit

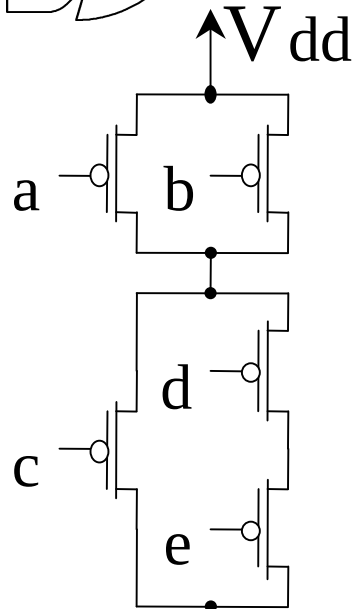
complémentaire 80

Conception des portes complexes (3)



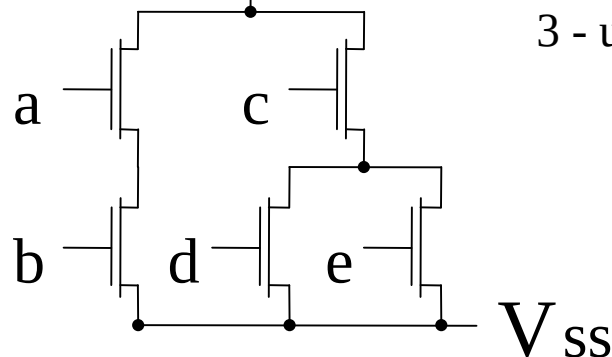
Pour construire une porte complexe on construit en premier le réseau de transistors N, avec les règles:

ET - réseaux en série
OU - réseaux en parallèle.



Pour construire le réseau de transistors P on peut procéder de 3 façons:

- 1 - croiser les règles ci dessous
- 2 - utiliser l'algèbre de Boole pour complémentariser la fonction et procéder comme pour les N
- 3 - utiliser une méthode graphique pour tracer le dual du graphe N.



Conception des portes complexes (4) construction du dual

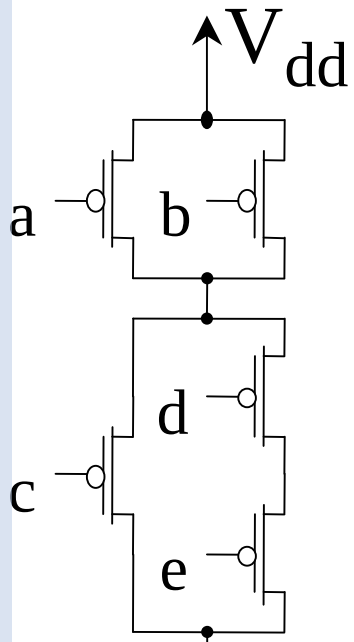
Méthode 1: croiser les règles

Règle pour
le réseau N

ET - transistors série
OU - transistors parallèles.

Règle pour
le réseau P

ET - transistors parallèle
OU - transistors série



Méthode 2: complémenter

Equation pour le réseau N

$$F = (a \wedge b) \vee c \wedge (d \vee e)$$

Equation pour le réseau P

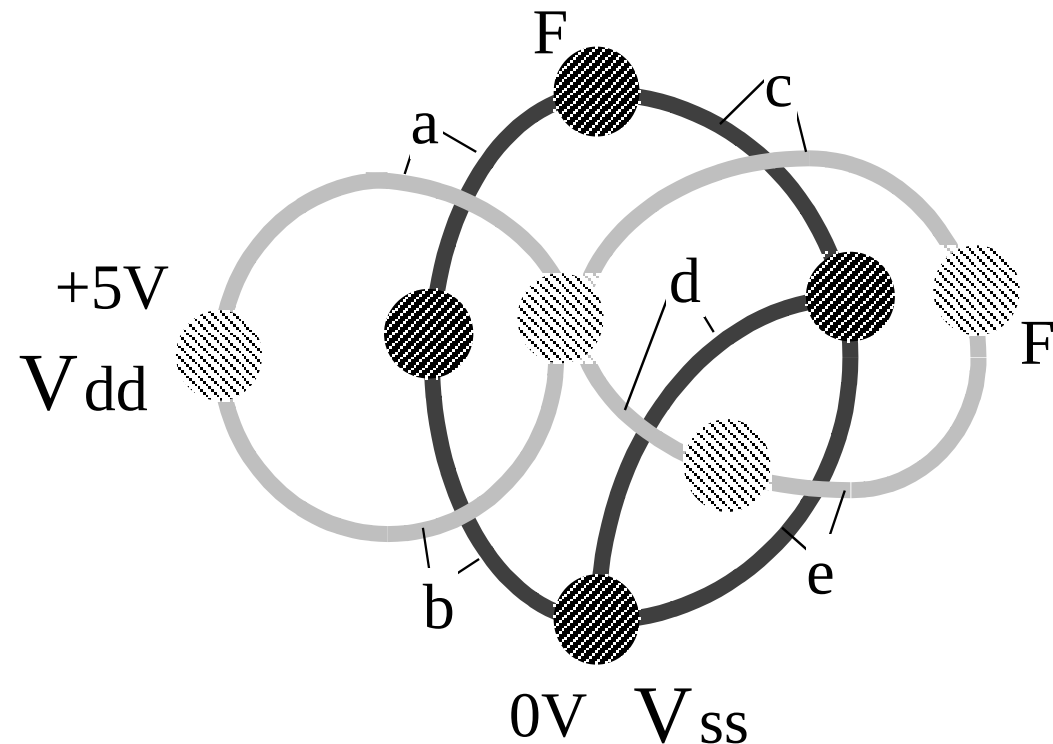
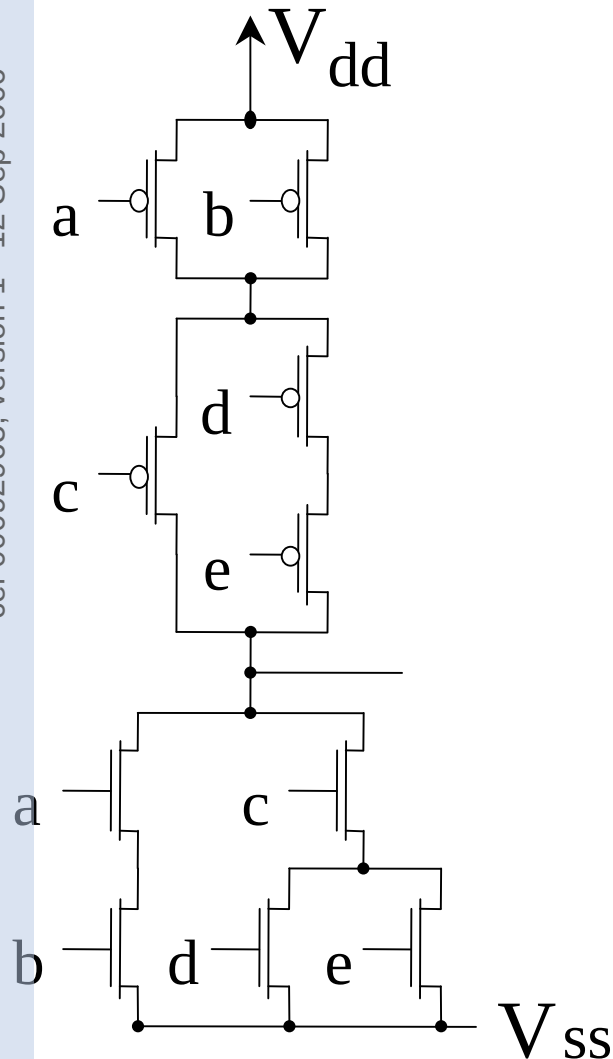
$$F^D = (\bar{a} \vee \bar{b}) \wedge (\bar{c} \vee \bar{d} \wedge \bar{e})$$

Se souvenir que N tire à la masse, donc l'équation doit être complémentée, et P conduit pour un 0 donc les variables doivent être complémentées

Conception des portes complexes (5) construction du dual (suite)

Méthode 1: construire le graphe dual

Graphes duaux: tout cycle de l'un est sommet de l'autre et réciproquement. Les arêtes externes sont les connexions à l'extérieur



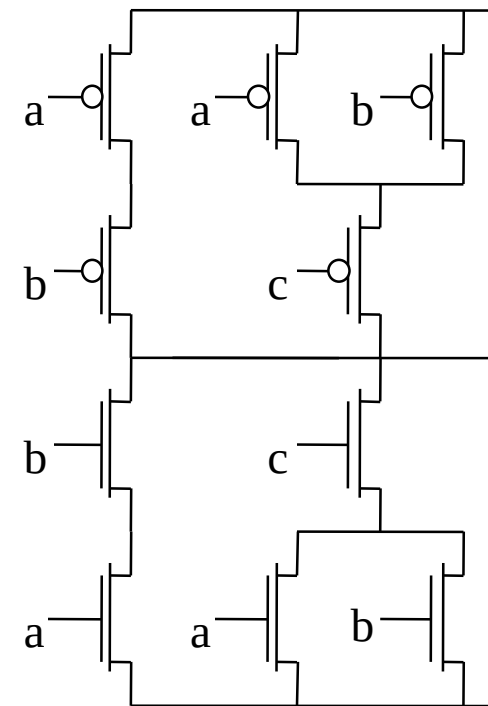
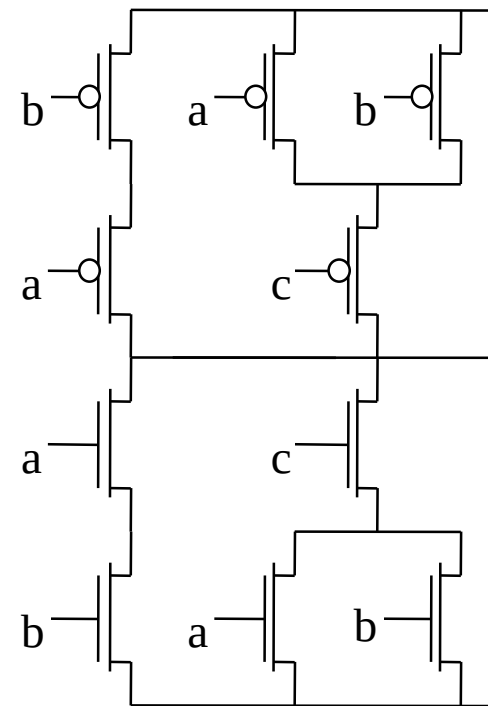
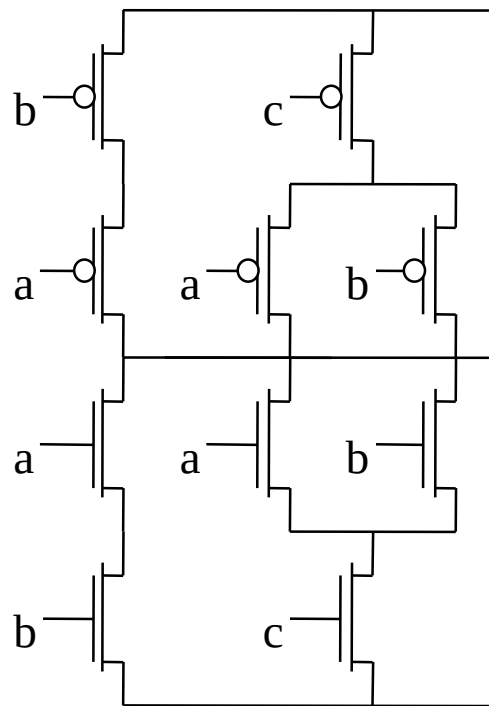
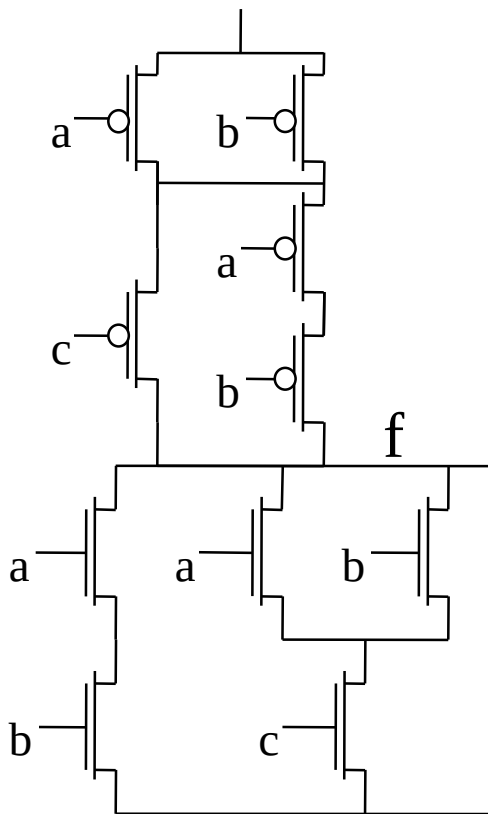
Conception des portes complexes (6) amélioration électrique

Raccourcir les chemins
entre sortie et alimentation

Minimiser la capacité
parasite de sortie

Mettre plus près de la sortie les
transistors activés le plus tard

$$f = a \wedge b \vee c \wedge (a \vee b)$$



Conception des portes complexes (7)

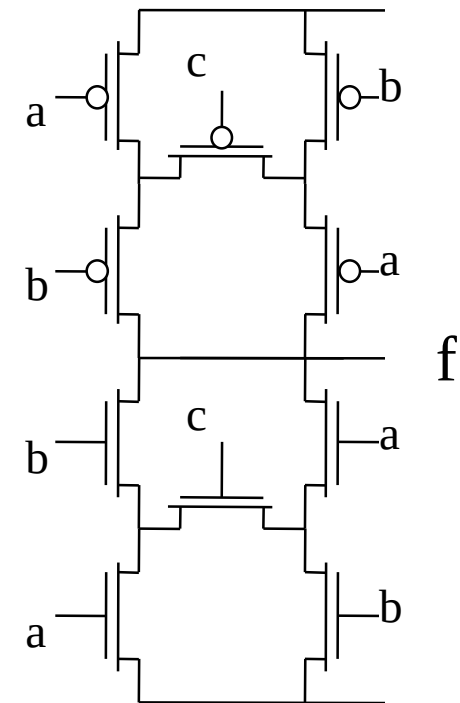
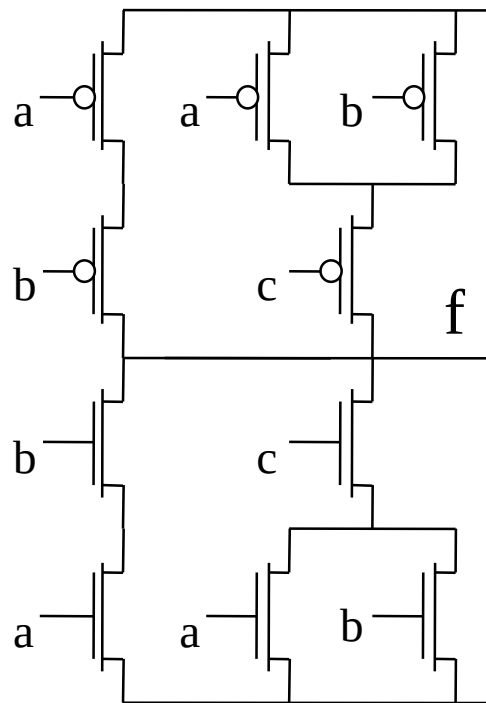
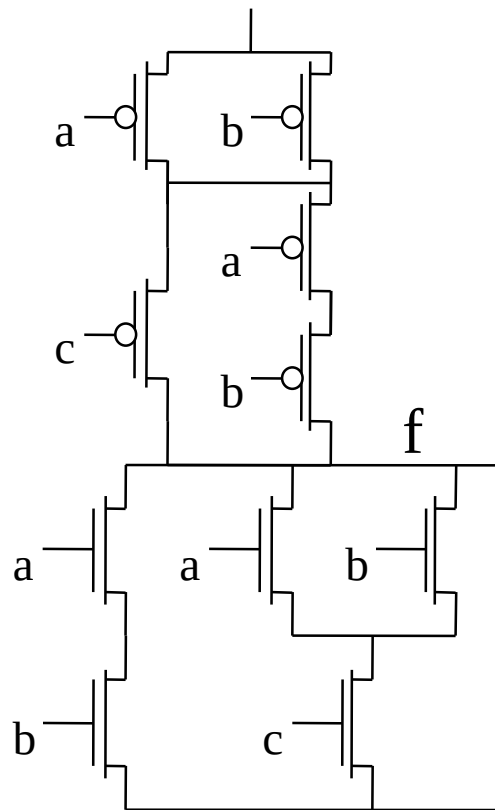
amélioration délai et consommation

Dimensionner plus gros les transistors ayant une charge plus importante

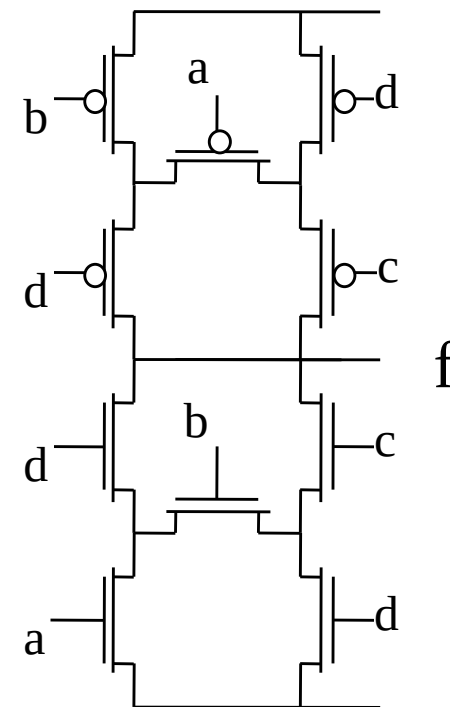
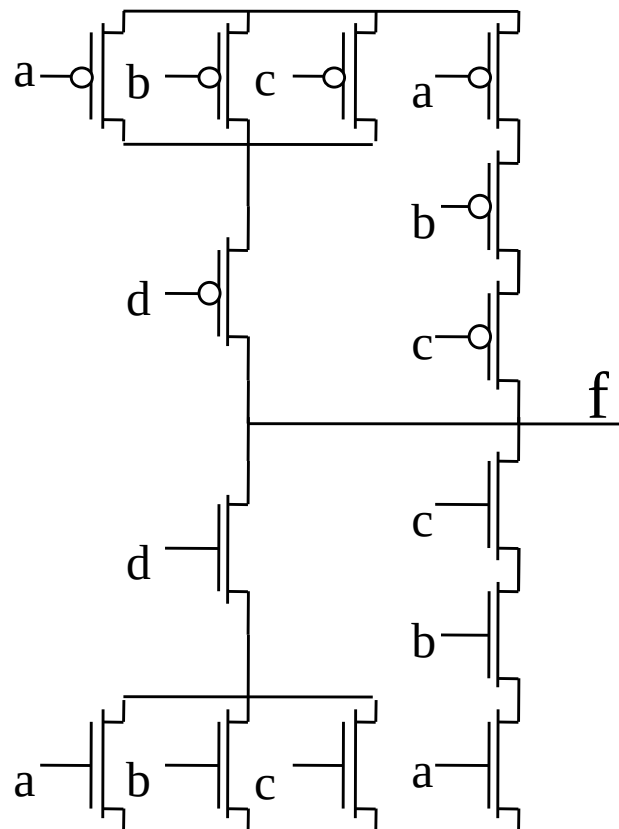
Affecter la charge capacitive la plus faible aux signaux les plus actifs

Connecter les signaux les plus en retard près de la sortie

Variantes d'une fonction logique

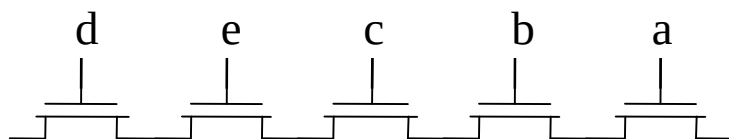


Variantes d'un autre fonction

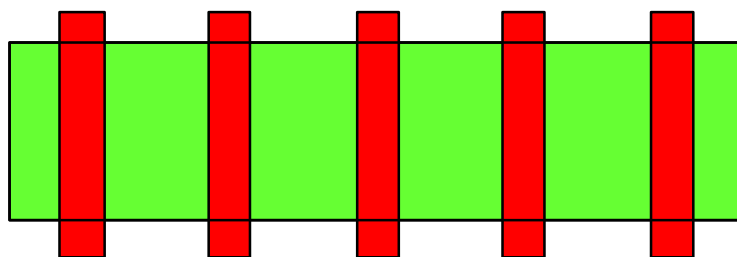


Stratégies de dessin

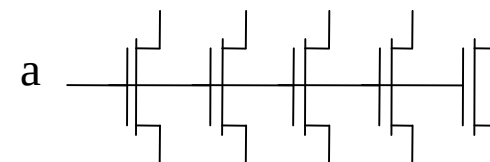
Aligner les diffusions



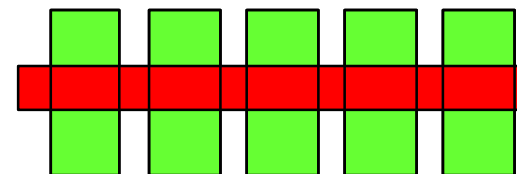
moins de coude, moins de contacts



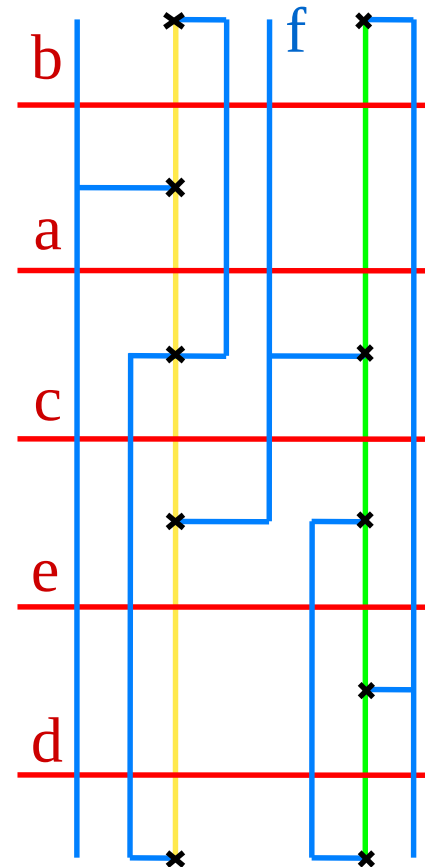
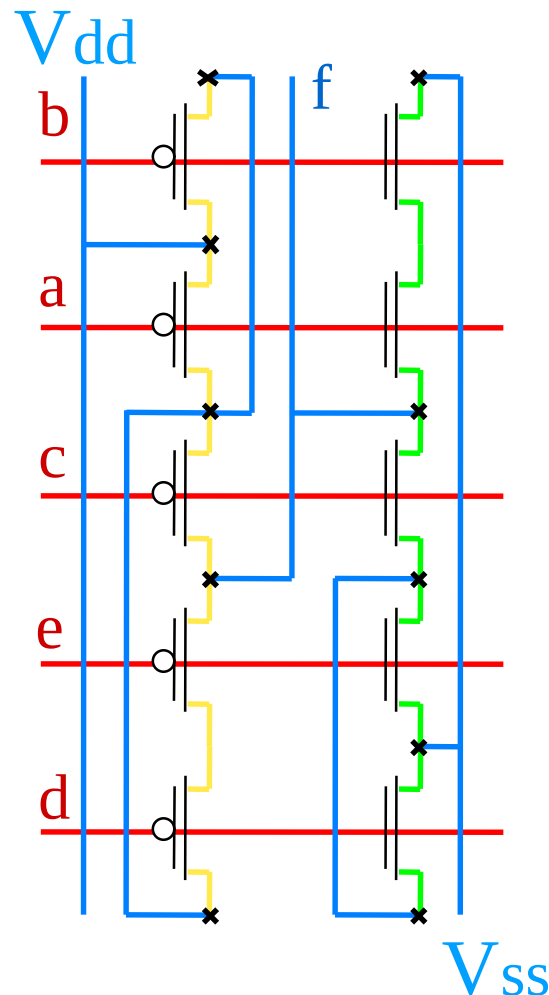
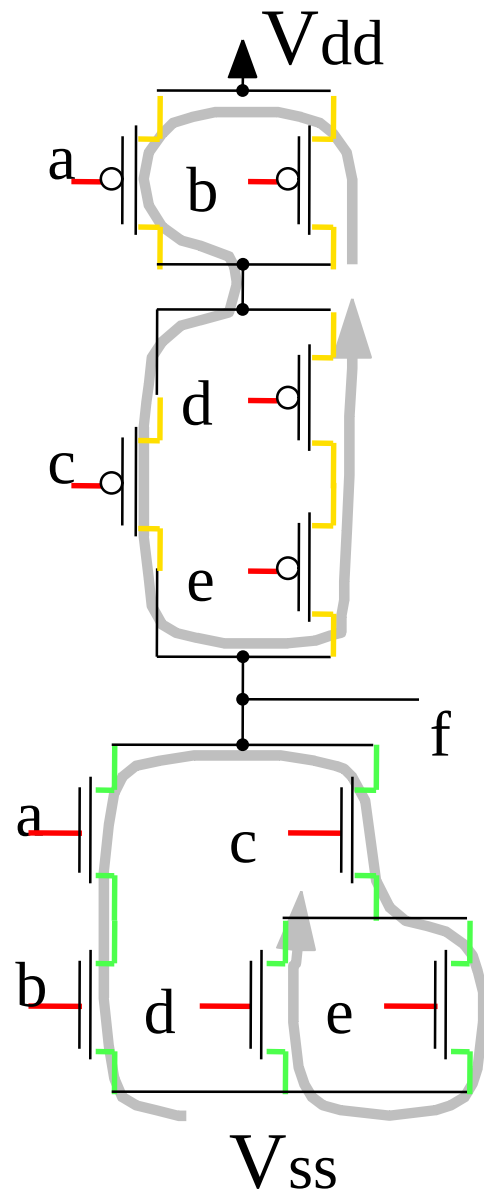
Aligner les grilles



moins de coude

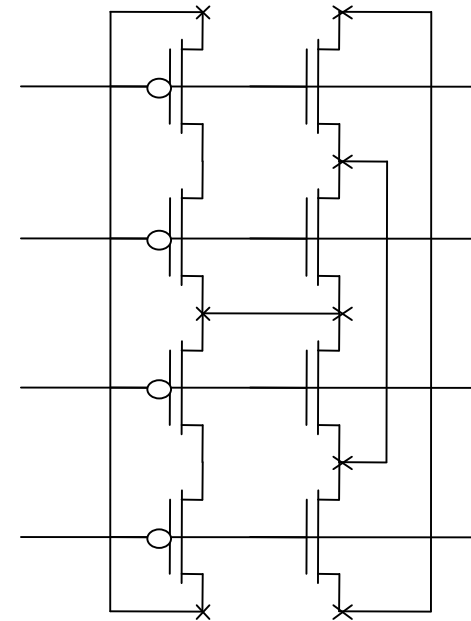
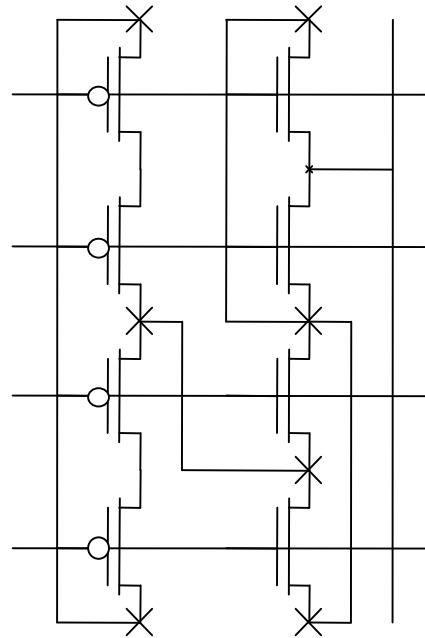
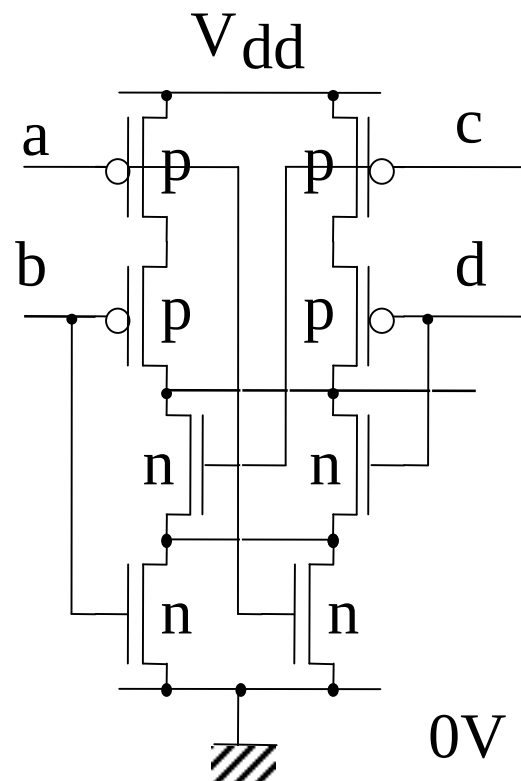
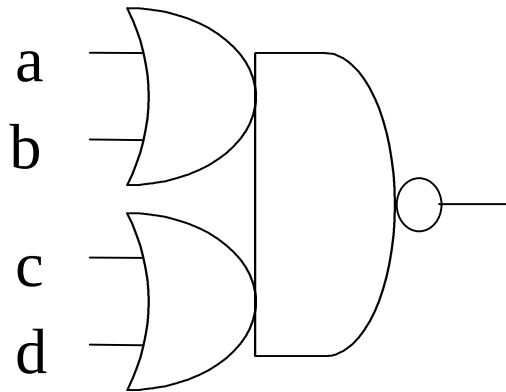


Diffusions alignées (1)



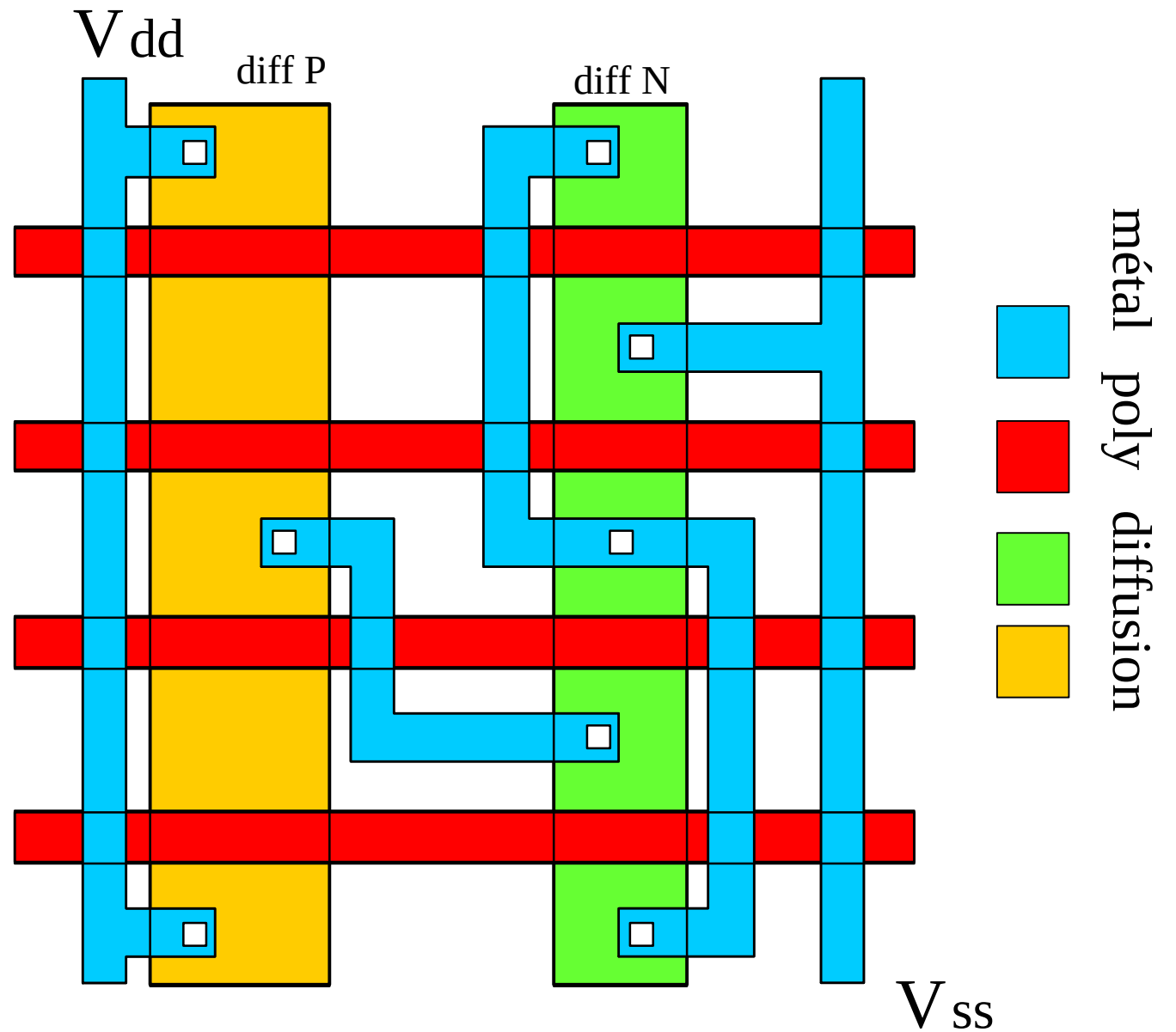
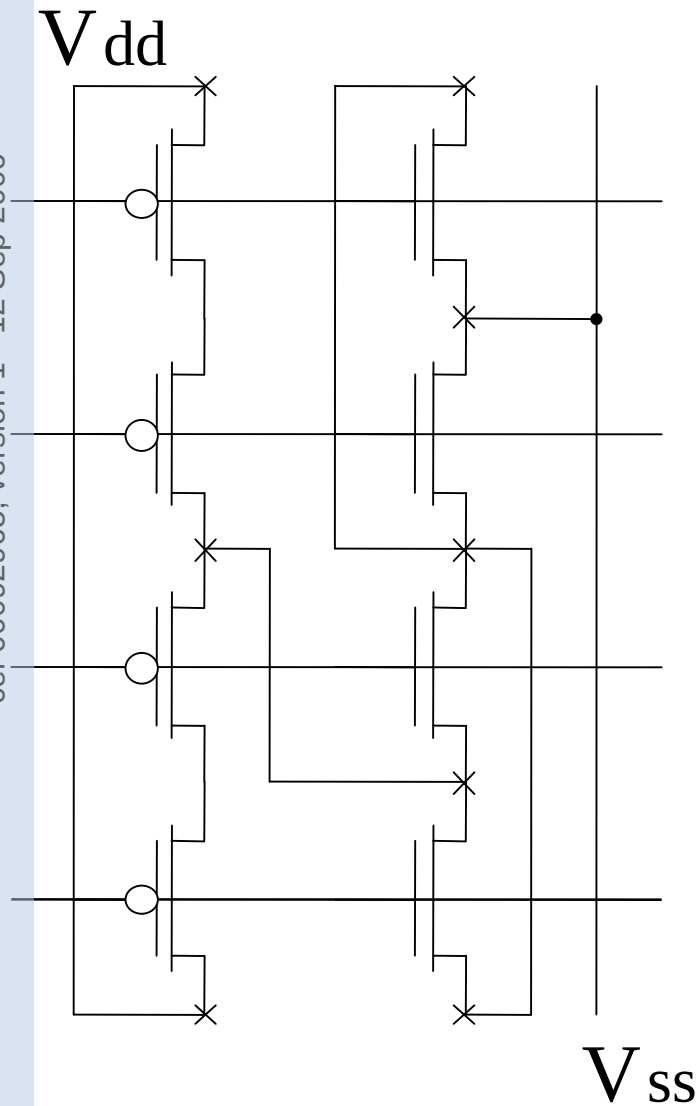
- 1- Trouver tous les chemins décrivant chaque réseau passant une fois et une seule par toutes les branches (chemin de Euler)
- 2- Trouver un chemin parcourant les transistors dans le même ordre pour les deux réseaux
- 3- S'il n'existe pas de tel chemin, briser les réseaux et recommencer avec chaque bout.

Diffusions alignées (2)

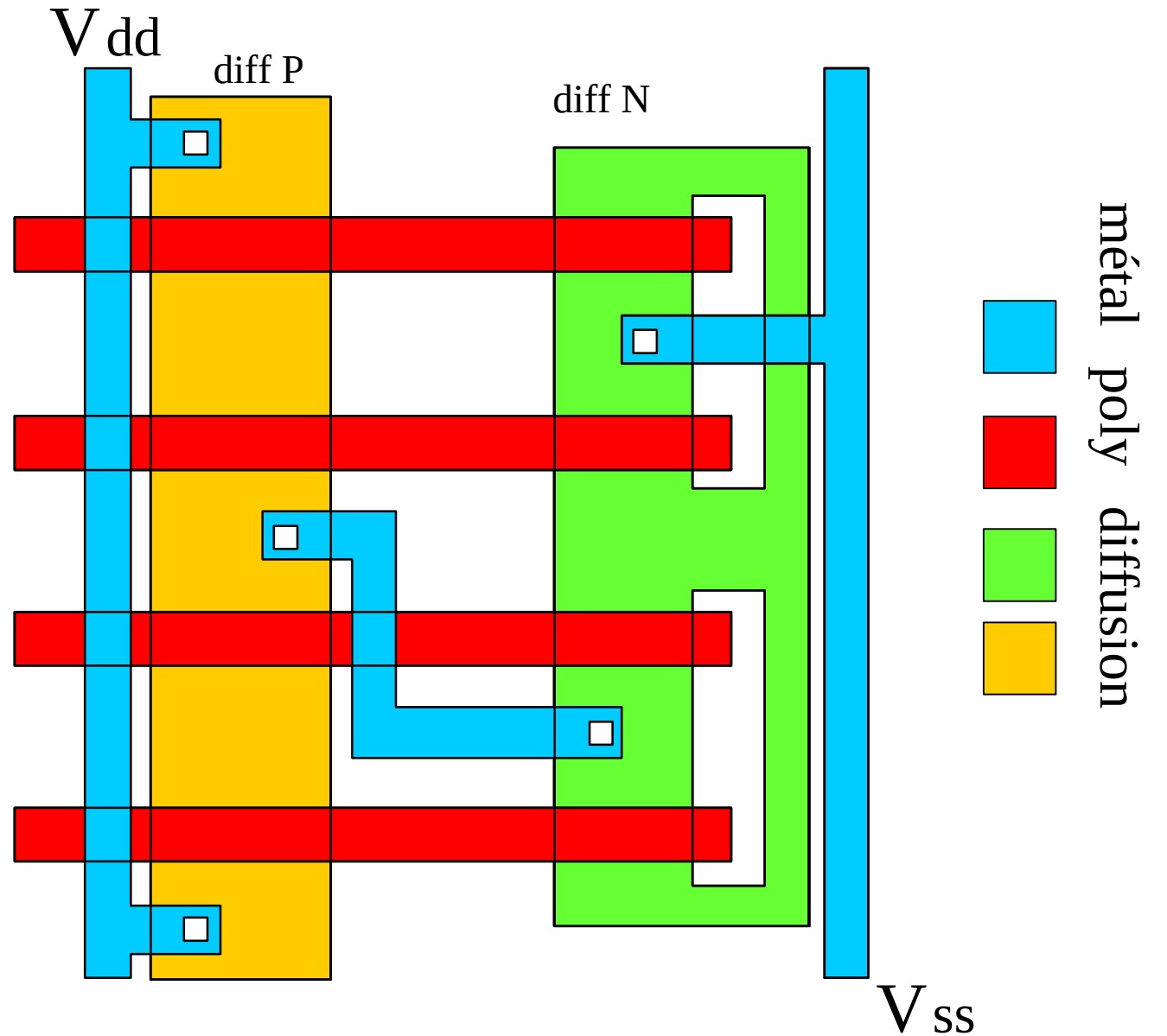
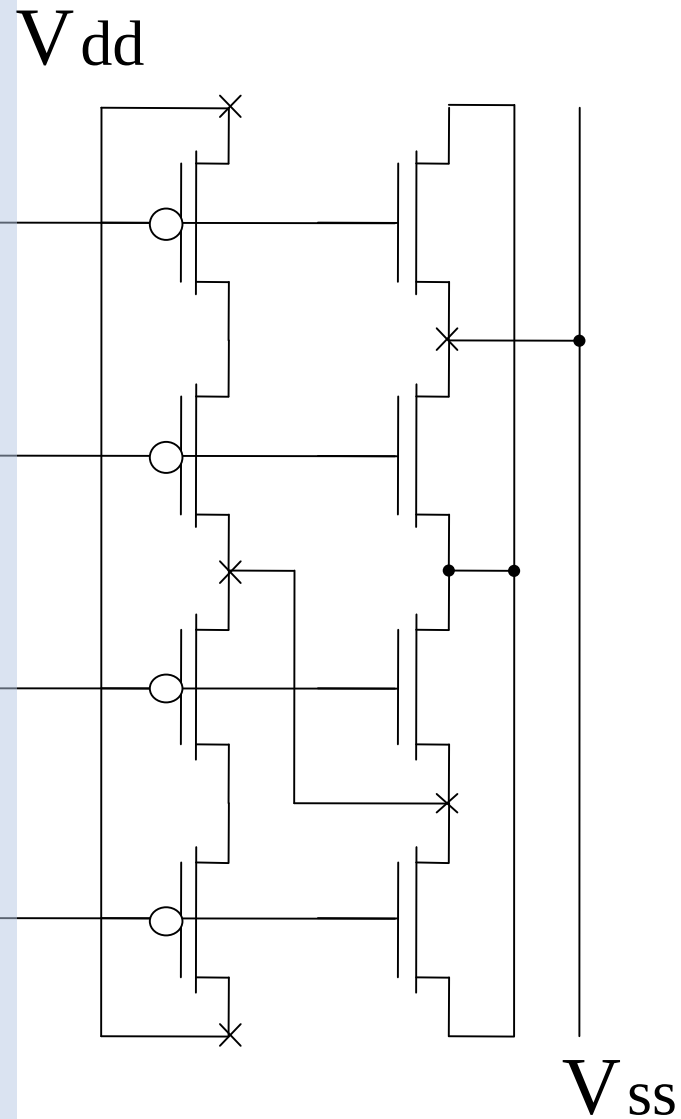


Ces deux réalisations sont elles équivalentes ?

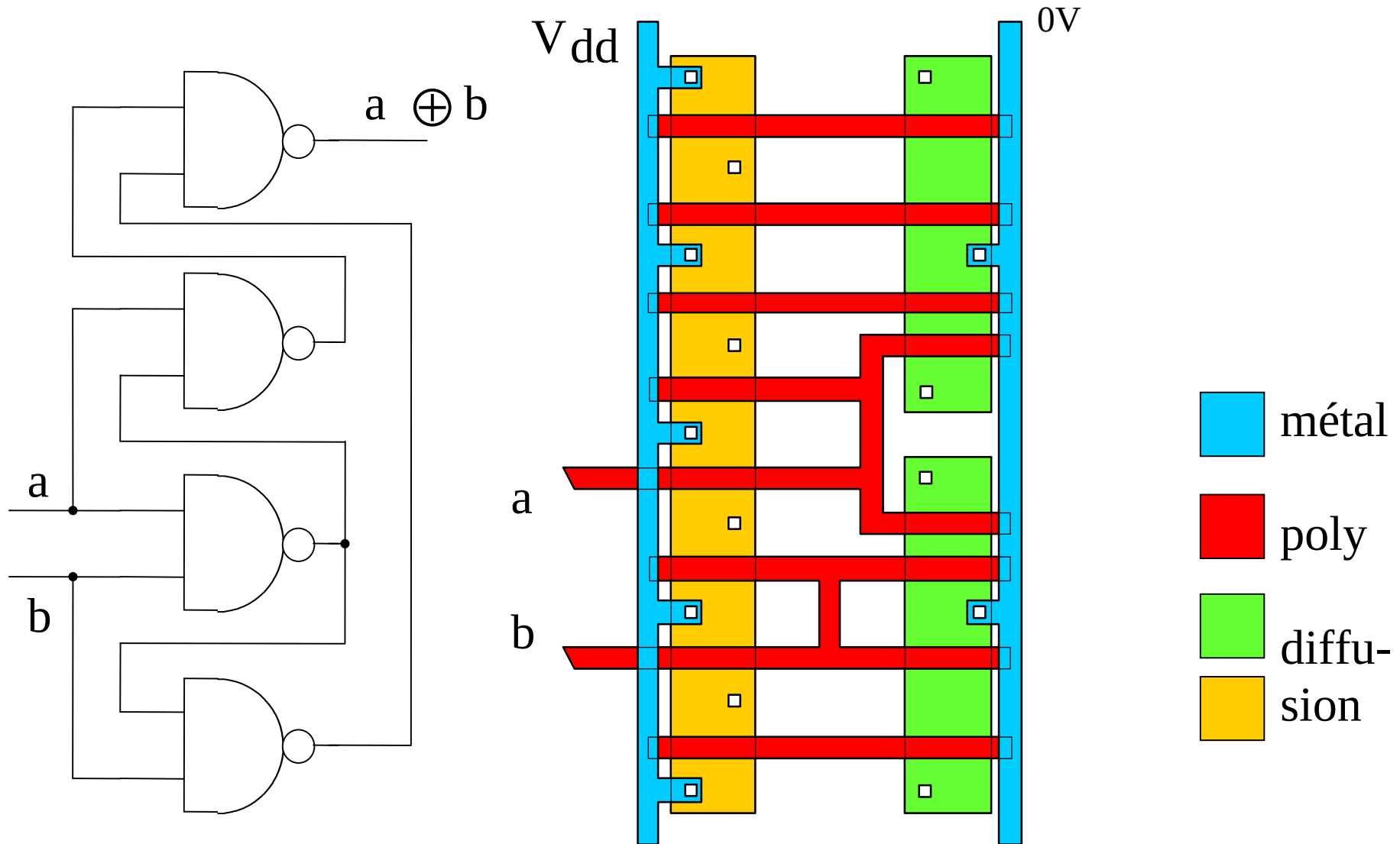
Diffusions alignées (3)



Diffusions alignées (4)

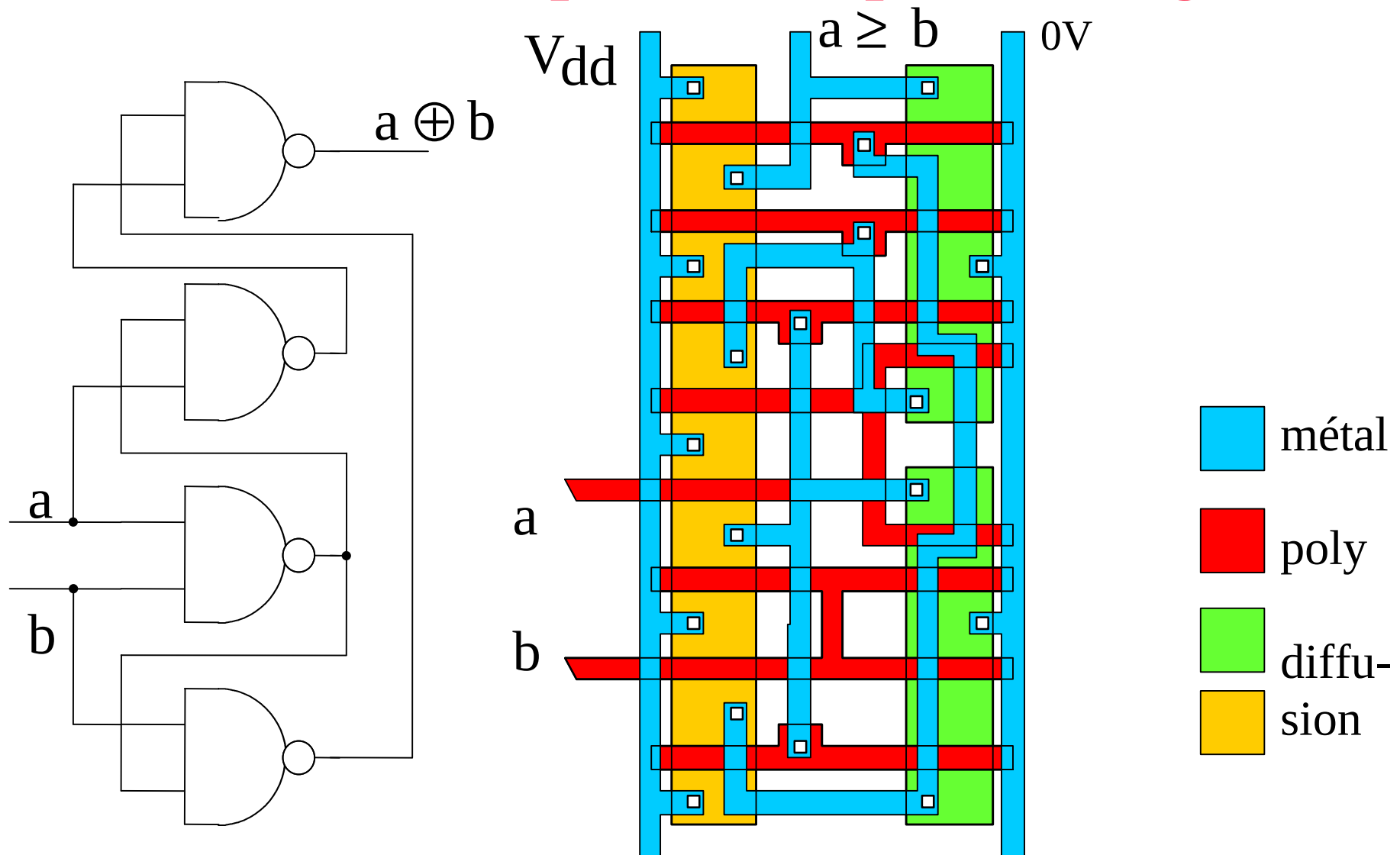


Diffusions de plusieurs portes alignées



$$\overline{(a \wedge (a \wedge b)) \wedge (b \wedge (a \wedge b))} = \overline{\overline{a} \wedge \overline{b} \vee a \wedge b} = a \oplus b$$

Diffusions de plusieurs portes alignées



$$(a \wedge (a \wedge b)) \wedge (b \wedge (a \wedge b)) = \bar{a} \wedge \bar{b} \vee a \wedge b = a \oplus b$$

Mise en commun de transistor

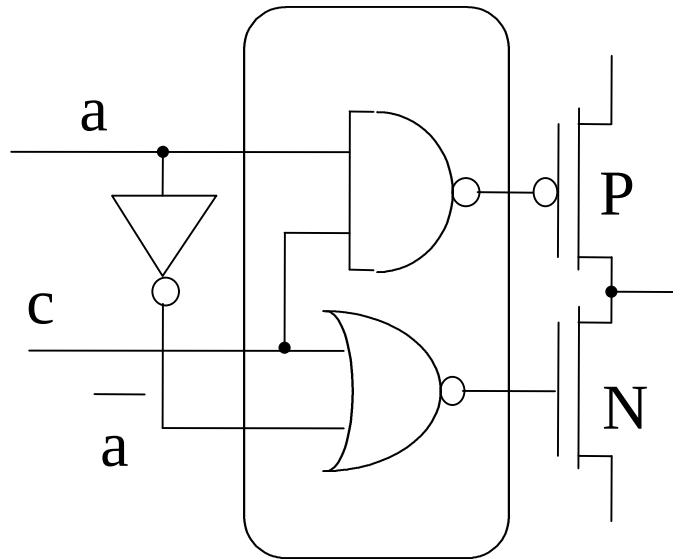


Figure 1

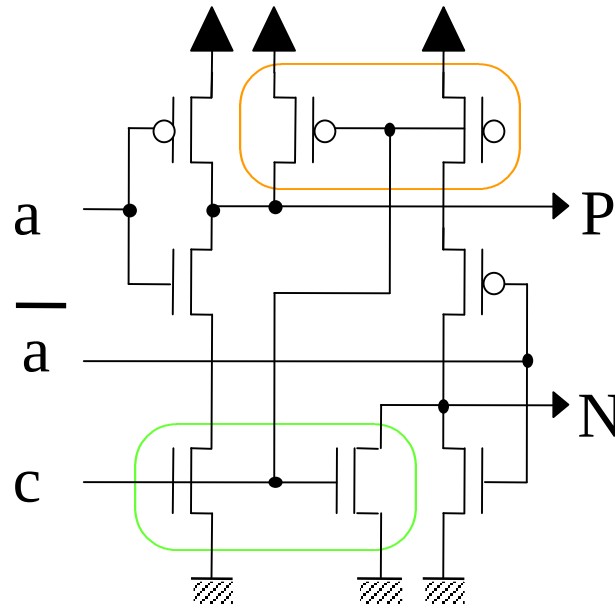


Figure 2

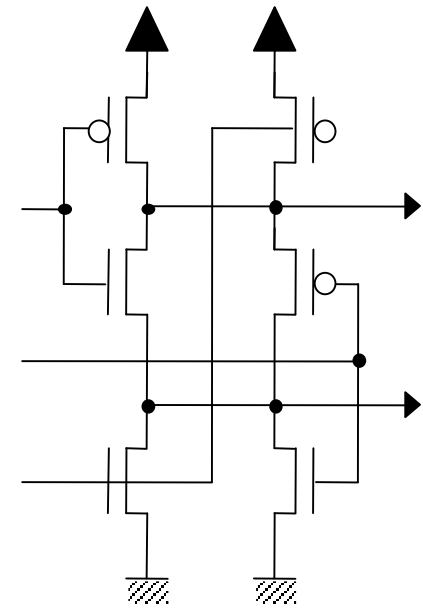


Figure 3

Les 3 portes de la figure 1 contrôlent une paire de transistors pour en faire une porte 3 états. Le schéma à transistors est donné à la figure 2, les transistors à fusionner sont entourés d'un cartouche. La figure 3 est le résultat de cette fusion.